

PAT-NO: JP361031387A  
DOCUMENT-IDENTIFIER: JP 61031387 A  
TITLE: VAPOR PHASE EPITAXIAL GROWTH PROCESS  
PUBN-DATE: February 13, 1986

INVENTOR-INFORMATION:  
NAME  
KITAJIMA, HIROSHI

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP  
COUNTRY  
N/A

APPL-NO: JP59152265  
APPL-DATE: July 23, 1984

INT-CL (IPC): C30B019/00, H01L021/208  
US-CL-CURRENT: 148/DIG.53, 257/296 , 438/FOR.424

ABSTRACT:

PURPOSE: To prevent a facet from being spread by executing epitaxial growth at low temp. in the initial stage of the growth, then executing at high temp.

CONSTITUTION: A silicon oxide film 8 is formed on the surface of a single crystal silicon wafer 7, and an opening part 9 is formed by reactive ion etching to deposit a silicon nitride film on the surface. Then, the reactive ion etching is further executed to leave the silicon nitride film 10 on the side wall part alone. Further, epitaxial growth is executed at  $\leq 970^{\circ}\text{C}$

to form an epitaxial film 11 having thin film thickness.  
Due to the thin  
thickness of the epitaxial layer 11, the breadth of a facet  
12 is also small.  
When epitaxial growth is executed thereafter at  $>970^{\circ}\text{C}$ ,  
the breadth of the  
facet 12 is not increased.

COPYRIGHT: (C)1986,JPO&Japio

DERWENT-ACC-NO: 1986-084938

DERWENT-WEEK: 198613

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Gas-phase epitaxial growth method -  
involves first maintaining temp. of substrate at  
below 970 deg. C then above this temp.

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1984JP-0152265 (July 23, 1984)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 61031387 A		February 13, 1986	N/A
003	N/A		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 61031387A	N/A	
1984JP-0152265	July 23, 1984	

INT-CL (IPC): C30B019/00, H01L021/20

ABSTRACTED-PUB-NO: JP 61031387A

BASIC-ABSTRACT:

In the method to selectively deposit silicon onto the open portion of monocrystalline silicone base plate whose surface is partially covered with an insulating film, the epitaxial growth is at first effected at a temp. not greater than 970 deg.C, then the following epitaxial growth is conducted at a temp. higher than 970 deg.C.

The silicon base plate is covered by an oxide layer leaving

the opening. Opt.  
a silicon nitrile layer is employed. The set-up (a) is  
subjected to epitaxial  
growth using a mixt. of  $\text{SiH}_2\text{Cl}_2$  and  $\text{HCl}$  as the raw  
material, whereupon silicon  
oxide deposits only on the opening surface. Around the  
periphery of the  
opening, however are formed facets which are smaller by  
this process.

USE/ADVANTAGE - For CMOS (complimentary metal-oxide  
semiconductor) devices,  
selective epitaxial growth with reduced facets is realised  
while the flaw  
density in the epitaxial film is maintained at a low level.

CHOSEN-DRAWING: Dwg.2/2

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C01A;

EPI-CODES: U11-C01; U11-C08;

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-31387

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月13日

C 30 B 19/00  
H 01 L 21/208

6542-4G  
7739-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 気相エビタキシャル成長法

⑯ 特 願 昭59-152265

⑰ 出 願 昭59(1984)7月23日

⑱ 発 明 者 北 島 洋 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 気相エビタキシャル成長法

特許請求の範囲

表面を部分的に絶縁膜で被覆した単結晶シリコン基板に対し開口部だけに選択的にシリコンを堆積させる方法に於いて、初め970℃以下の温度でエビタキシャル成長を行い、然るのちに970℃以上の温度でエビタキシャル成長を行うことを特徴とする気相エビタキシャル成長法。

発明の詳細な説明

(産業上の利用分野)

本発明は側壁付近におけるファセットの形成及び欠陥の発生を抑制する気相エビタキシャル成長法に関する。

(従来技術とその問題点)

シリコンのCMOS (Complementary Metal-Oxide-Semiconductor) デバイスは、バイポーラ・

デバイスと同等の速度をもち、MOSに於ける速度・電力積の究極値を実現できると予想されるところから、現在応用範囲を広げつつあり、近い将来MOSIC (Integrated Circuit) の有力な技術になると考えられる。そうしたCMOSの特徴をより生かすために素子分離の微細化が有効であり、現在種々の方法が検討されているが、有力な方法として選択エビタキシャル成長法がある。

選択エビタキシャル成長法の例を第1図に示す。シリコン・ウェハ1の上に酸化シリコン膜2と1~2μmの厚さだけ形成し、反応性イオンエッチングによって部分的にシリコンを露出させたものをエビタキシャル成長用の基板として用いる。場合によっては側壁部を窒化シリコン膜3等でコートする。そのような基板に、原料ガスとしてSiH<sub>4</sub>、Cl<sub>2</sub>とHClとを用いエビタキシャル成長を行うと、酸化シリコン膜上には全くシリコンが堆積せず、シリコンが露出していた領域だけにエビタキシャル層4が形成できる。しかしながら選択エビタキシャル膜には、側壁付近に積層欠陥を初め

とする格子欠陥5とファセット6が存在する。

格子欠陥の多くは第1図に示したように側壁と基板表面が交わるあたりから発生し、エピタキシャル層の表面まで達する。MOSデバイスでもバイポーラ・デバイスでも深さ方向にp-n接合が存在するが、p-n接合をよぎる格子欠陥が多い程接合特性は劣化するため格子欠陥は少なければ少ない程望ましい。格子欠陥の密度は、高温でエピタキシャル成長を行く程高く、たとえば950℃程度の低温でエピタキシャル成長を行えば少くともp-n接合の逆方向耐圧にほとんど影響を与えない程度の密度まで欠陥を減少させることは可能である。一方ファセットが存在すると、MISデバイスを作った場合に、V型の部分の先端に電界が集中するためにゲート耐圧を低下させ、ファセットの部分は別のしきい値をもったトランジスタとして働くためにサブスレッショールド特性を悪化させる原因となる。ファセットの形成は高温程少ない傾向が見られる。

このように格子欠陥密度とファセットの程度は

イオンエッチングを更に行い側壁部だけに窒化シリコン膜10を残したものである。

図中(b)は原料ガスとして $\text{SiH}_4\text{C}_2\text{H}_6$  300cc/min、 $\text{HCl}$  1.3ℓ/min、成長温度950℃、成長圧力50Torrで2分エピタキシャル成長を行った後の断面図を模式的に示した。成長速度は $\sim 0.1\mu\text{m}/\text{min}$ であるため、エピタキシャル層11の膜厚は $\sim 0.2\mu\text{m}$ である。格子欠陥は成長温度が950℃と低いため少い。ファセットは広がるような成長条件であるが、膜厚が $\sim 0.2\mu\text{m}$ と薄いため、ファセットの幅は $0.15\sim 0.2\mu\text{m}$ であった。

そのあと(c)図に示すように成長温度を1050℃に上げてエピタキシャル層を更に $\sim 0.8\mu\text{m}$ 加えた後の断面図を模式的に示した。成長速度は $\sim 0.3\mu\text{m}/\text{min}$ である。なお昇温中は成長を止めている。欠陥は(b)と同様に少く、ファセット幅は $0.3\sim 0.4\mu\text{m}$ でありたとえば成長温度950℃で厚さ $1\mu\text{m}$ エピタキシャル成長を行った場合のファセット幅 $\sim 1\mu\text{m}$ に較べ半分以下になっていた。

成長速度の効果は温度程顕著ではないが、成長

成長温度に関して逆の傾向を見せるため、格子欠陥とファセットの両方に関して望ましい条件が従来法では得られなかった。

#### (発明の目的)

本発明の目的は、格子欠陥の低減とファセットの抑制を同時に実現するような気相エピタキシャルを提供することにある。

#### (発明の構成)

本発明は格子欠陥の低減のために成長の初期には970℃以下なるべく950℃以下の低温成長を行い、その後970℃以上なるべく1000℃以上の高温成長を行いファセットの広がりを抑制している。

#### (実施例)

第2図(a)～(c)は本発明の工程を模式的に示したものである。

図中(a)は成長前の基板を示しており、単結晶シリコン・ウェハ7の表面に酸化シリコン膜8を形成し反応性イオンエッチングによって開口部9を設け、表面に窒化シリコン膜を堆積した後反応性

速度が大きい程ファセットは広がりにくく、膜厚の制御性及びエピタキシャル膜の結晶性が許す範囲で成長速度は大きい方が望ましい。

選択エピタキシャル膜の結晶性という観点からすれば、格子欠陥は少い程望ましい。しかしながら、具体的にMOS(あるいはCMOS)の素子分離に適用しようとする、結晶性が良い成長条件ではファセットの形成が顕著であり、デバイス特性の点からは問題があった。格子欠陥も明らかにデバイス特性に悪影響を与えるため、結晶性の良さを保ちつつファセットを抑制することが望ましい。たとえば、成長条件として原料ガスは $\text{SiH}_4\text{C}_2\text{H}_6$  300cc/min、 $\text{HCl}$  1.3ℓ/min、成長圧力50Torr、成長膜厚 $1\mu\text{m}$ とし950℃でエピタキシャル成長を行うと格子欠陥は、側壁の長さ $1\mu\text{m}$ あたり0.1個以下に押えることができるが、ファセットの幅は $1\mu\text{m}$ 程度になってしまう。一方1050℃でエピタキシャル成長を行うと、ファセットの幅は $0.3\mu\text{m}$ 程度であるが欠陥密度は側壁の長さ $1\mu\text{m}$ あたり6～7個と多くなり、明らかに

接合耐圧に影響を与える程結晶性が劣化する。それに対し、本発明では成長を2段階にし、970℃を境にして前記のようにまず950℃で $\sim 0.2\mu m$ 、次に1050℃で $\sim 0.8\mu m$ 成長を行い $1\mu m$ のエピタキシャル膜を成長させた場合には、欠陥密度は銅膜 $1\mu m$ あたり0.1個程度と950℃で成長した水準を保ちつつ、ファセット幅を $0.4\sim 0.5\mu m$ に押えることができた。なお、温度の差をとるため低温成長では950℃以下、高温成長では1000℃以上とすることが望ましい。

(発明の効果)

以上述べたように、本発明によれば選択エピタキシャル膜の欠陥密度を低い水準に保ちつつ、ファセットの少ない成長を行うことができる。

図面の簡単な説明

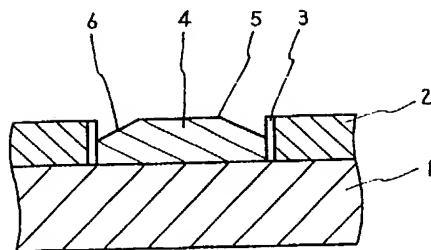
第1図は、従来法による選択エピタキシャル膜の断面図、第2図(a)～(c)は、本発明の方法による選択エピタキシャル膜の断面図である。

図において、

1…シリコンウェハ、2…酸化シリコン膜、3…窒化シリコン膜、4…エピタキシャル膜、5…格子欠陥、6…ファセット、7…シリコンウェハ、8…酸化シリコン膜、9…開口部、10…窒化シリコン膜、11…エピタキシャル膜、12…ファセット。

代理人 弁理士 内 原 晋

第1図



第2図

